

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Shiou-Je Lin, et. al
Application No. : 10/605,053
Filed : September 5, 2003
For : MEMORY ARCHITECTURE AND METHOD FOR
REPAIRING A SERIAL ACCESS MEMORY
Examiner :

COMMISSIONER FOR PATENTS

2011 South Clark Place
Crystal Plaza Two, Lobby, Room 1B03
Arlington VA 22202

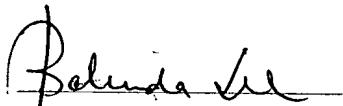
Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:91120412, filed on:09/09/2002.

A return prepaid postcard is also included herewith.

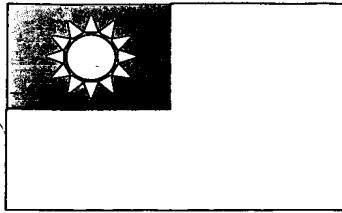
Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Nov. 20, 2003

By: 
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

**7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 09 月 09 日
Application Date

申請案號：091120412
Application No.

申請人：迅慧科技股份有限公司
Applicant(s)

局長

Director General

蔡綠生

發文日期：西元 2003 年 10 月 7 日
Issue Date

發文字號：09221050870
Serial No.

申請日期	
案 號	
類 別	

A4

C4

(以上各欄由本局填註)

發明專利說明書

一、發明 新型 名稱	中 文	應用於序列資料存取之具有修補功能的記憶體結構
	英 文	A MEMORY STRUCTURE WITH REDUNDANT MEMORY FOR ACCESSING DATA SEQUENTIALLY
二、發明人 創作	姓 名	1 林秀哲 Shiou-Je Lin 2 沈九思 Eric Shen
	國 籍	中華民國
	住、居所	1 台北市士林區忠誠路 2 段 76 巷 5 號 2 樓 2 台北縣永和市保平路 93 巷 4 弄 2 號 4 樓
三、申請人	姓 名 (名稱)	迅慧科技股份有限公司 High Bandwidth Access(Taiwan),Inc.
	國 籍	中華民國
	住、居所 (事務所)	新竹市水利路 81 號 8 樓之 9
代 表 人 姓 名	黃財旺 Steven Huang	

裝

訂

線

四、中文發明摘要（發明之名稱：

應用於序列資料存取之具有修補
功能的記憶體結構

一種應用於序列資料存取之具有修補功能的記憶體結構，係採用分別獨立之記憶體模組來作為主記憶單元與備援記憶單元，並配合資料選擇單元、熔絲鏈盒、比較邏輯單元及指標控制單元等電路，以形成一具有修補功能的記憶體結構。此外，應用序列資料存取之先進先出特性，來簡化比較邏輯單元之電路，不但可有效地降低成本，更可提供較佳之設計彈性。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要（發明之名稱： A MEMORY STRUCTURE WITH
REDUNDANT MEMORY FOR ACCESSING DATA
SEQUENTIALLY

A memory structure with redundant memory for accessing data sequentially is provided. The memory structure has a main memory unit and a redundant memory unit made from independent memory module. The memory structure further incorporates other circuits including a data selection unit, a fuse box, a compare logic unit and a pointer control unit. The compare logic unit uses a first-in-first-out scheme for accessing serial data to simplify the circuit. Thus, the invention has a lower production cost and a greater design flexibility.

五、發明說明(/)

本發明是有關於一種記憶體，且特別是有關於一種應用於序列資料存取之具有修補功能的記憶體結構。

隨著電子科技的發達，各種資訊的交流無不仰賴於各種儲存媒體，而其中之記憶體因其運作速率快，乃成為資訊系統中不可或缺之重要儲存媒體。此外，由於資訊流量日益增多，傳送速率亦日益提升，導致所需之記憶體容量亦日益加大，而為了能夠提高記憶體產品之生產良率，以降低生產成本，尤其是內嵌記憶體之特殊應用積體電路 (Application Specific Integrated Circuit，簡稱 ASIC)，常因內嵌記憶體之良率而影響到整個產品之良率，乃發展出一種具有修補功能的記憶體，其可於主記憶體之部分記憶胞 (cell)損壞時，應用備援記憶體 (redundant memory) 來修補。

請參考第1圖所示，其為一種習知之具有修補功能的記憶體方塊圖。圖中顯示，此具有修補功能的記憶體 100 除了主記憶電路 110 之外，另有一備援記憶電路 120，以當主記憶電路 110 之部分記憶胞損壞時，用以取代損壞之記憶胞，其工作原理如下述之說明。

首先，記錄主記憶電路 110 中記憶胞損壞之損壞記憶體位址，然後將損壞記憶體位址以雷射方式切斷熔絲鏈盒 (fuse box) 130 中對應之熔絲鏈，使損壞記憶體位址記錄於熔絲鏈盒 130 中。當存取此具有修補功能的記憶體 100 時，比較邏輯 140 將比較存取記憶體位址 A 與所有記錄於熔絲鏈盒 130 中之損壞記憶體位址，如發現存取記憶體位址為其中之一損壞記憶體位址時，比較邏輯 140 輸出代表此損壞記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

憶體位址之修復訊號R至定址邏輯(routing logic)150，以便定址邏輯可將存取路徑由損壞之主記憶電路110，變更為備援記憶電路120中對應此損壞記憶體位址之一備援記憶體位址。

請參考第2圖所示，其為習知記錄一損壞記憶體位址之熔絲鏈與比較電路範例圖示，此範例中之損壞記憶體位址位元數為8，故有如圖F0～F7及F0B～F7B等共16個熔絲鏈與N0～N7及N0B～N7B等共16個電晶體，並配合負載L與反相器210，以輸出代表存取位址為此一損壞記憶體位址之修復訊號R1。其中，電晶體N0～N7B之汲極分別經由熔絲鏈F0～F7B連接工作電源VDD，源極連接負載L，而電晶體N0～N7之閘極分別連接存取記憶體位址位元A0～A7，電晶體N0B～N7B之閘極分別連接存取記憶體位址位元 $\overline{A0}$ ～ $\overline{A7}$ 。

假設主記憶電路110中記憶胞損壞之損壞記憶體位址由低位元至高位元分別為00010001，則以雷射方式切斷熔絲鏈F0B、F1B、F2B、F3、F4B、F5B、F6B及F7等。當存取記憶體位址位元A0～A7分別為00010001，亦即與儲存之損壞記憶體位址相同時，因未切斷熔絲鏈之電晶體N0、N1、N2、N3B、N4、N5、N6及N7B等之閘極為低準位而無法導通，故輸出高準位之修復訊號R1，其他任何存取記憶體位址則輸出低準位之修復訊號R1，故可得知接收之存取記憶體位址之記憶胞是否損壞。當然，若熔絲鏈盒130中可儲存之損壞記憶體位址數量大於1時，必須相應擴充第2圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

之電路。

上述具有修補功能的記憶體100，在應用於ASIC中例如是先進先出記憶體(First In First Out，簡稱FIFO)之序列資料存取時，明顯地將有下列之缺點：

1.由於比較邏輯140需比較存取記憶體位址與所有記錄於熔絲鏈盒130中之損壞記憶體位址，故比較邏輯140之電路十分複雜，其所佔積體電路面積較大，消耗功率也較大。

2.由於比較邏輯140在收到存取記憶體位址，並與記錄於熔絲鏈盒130中之所有損壞記憶體位址比較後，才經定址邏輯150來改變其存取路徑，因此其存取效能較差。

3.採用上述具有修補功能的記憶體100之ASIC的設計方式，通常係應用具內嵌修補功能記憶體設計庫(cell library)來開發，而非使用獨立分開之主記憶電路模組與備援記憶電路模組來開發，以致開發時間長、應用彈性不佳、設計成本高昂。

有鑑於此，本發明提供一種應用於序列資料存取之具有修補功能的記憶體結構，其可簡化比較邏輯電路、提高存取效能、提供較佳之設計彈性，更可有效地降低成本。

為達上述及其他目的，本發明提供一種具有修補功能的記憶體結構，適用於存取一序列資料。此具有修補功能的記憶體結構包括主記憶單元、備援記憶單元、資料選擇單元、熔絲鏈盒、比較邏輯單元及指標控制單元。主記憶單元用以依序地儲存序列資料。備援記憶單元用以當主記

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (4)

憶單元之部分記憶胞損壞時，以指標位址所選擇之記憶體位址，來取代損壞之主記憶單元的記憶胞，以儲存序列資料。資料選擇單元耦接主記憶單元及備援記憶單元，用以依據一備援選擇訊號，自主記憶單元及備援記憶單元中，選擇序列資料之正確的存取路徑。熔絲鏈盒用以依序地儲存記憶胞損壞之主記憶單元的損壞記憶體位址，並依據指標位址來輸出儲存之損壞記憶體位址。比較邏輯單元耦接熔絲鏈盒，用以將主記憶單元接收之存取記憶體位址與損壞記憶體位址作比較，且當存取記憶體位址等於損壞記憶體位址時，設定其備援選擇訊號。而指標控制單元則耦接比較邏輯單元、熔絲鏈盒及備援記憶單元，用以接收該備援選擇訊號，且當備援選擇訊號設定時，循序地維護其指標位址。

本發明之較佳實施例中，此具有修補功能的記憶體結構之主記憶單元為一先進先出記憶電路，資料選擇單元使用多工電路，比較邏輯單元使用反互斥或閘來製作。較佳地，當備援選擇訊號設定時，指標控制單元將指標位址遞增或遞減例如是1的進階值，以循序地維護指標位址。此外，此具有修補功能的記憶體結構之主記憶單元及備援記憶單元係使用個別獨立之記憶體模組，以提供較佳之ASIC設計彈性，並降低其設計成本。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特以較佳實施例，並配合所附圖式，作詳細說明如下：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

圖式之簡單說明：

第1圖係顯示一種習知之具有修補功能的記憶體方塊圖；

第2圖係顯示習知記錄一損壞記憶體位址之熔絲鏈與比較電路範例圖示；以及

第3圖係顯示根據本發明較佳實施例之一種具有修補功能的記憶體結構方塊圖。

圖式標號之簡單說明：

- 100 習知之具有修補功能的記憶體
- 110 主記憶電路
- 120 備援記憶電路
- 130、340 熔絲鏈盒
- 140 比較邏輯
- 150 定址邏輯
- 210 反相器
- 300 具有修補功能的記憶體結構
- 310 主記憶單元
- 320 備援記憶單元
- 330 資料選擇單元
- 350 比較邏輯單元
- 360 指標控制單元

實施例

請參考第3圖所示，其為根據本發明一較佳實施例之一種具有修補功能的記憶體結構方塊圖。圖中顯示，此具

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

有修補功能的記憶體結構300包括主記憶單元310、備援記憶單元320、資料選擇單元330、熔絲鏈盒340、比較邏輯單元350及指標控制單元360。

其中，為了有效降低成本、並提供較佳之設計彈性與提高整體運作效能，故此具有修補功能的記憶體結構300並未使用具內嵌修補功能之記憶體設計庫來開發，而是採用分別獨立之記憶體模組作為主記憶單元310與備援記憶單元320來設計。一般而言，具內嵌修補功能之記憶體設計庫均需於需求規格確立後，再行委外設計，導致其開發時間長、應用彈性不佳、且設計成本高昂。相反地，各種規格之不具修補功能的記憶體模組則取得容易，且經常是免費提供，因此，採用分別獨立之記憶體模組來作為主記憶單元310與備援記憶單元320，並配合根據本發明較佳實施例之資料選擇單元330、熔絲鏈盒340、比較邏輯單元350及指標控制單元360等電路，以形成此一具有修補功能的記憶體結構300，則不但可有效降低成本，更可提供不同容量之主記憶單元310與備援記憶單元320的設計彈性，尤其是當將此一具有修補功能的記憶體結構300整合於ASIC之場合時為甚。

如圖所示，主記憶單元310係用以依據存取位址A來存取序列傳送之資料D，備援記憶單元320則用以當主記憶單元310之部分記憶胞損壞時，以指標控制單元360輸出之指標位址P所選擇的記憶體位址，來取代損壞之主記憶單元的記憶胞，以儲存資料D。因此，備援記憶單元320之容量通

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (一)

常較主記憶單元310之容量為小，其容量比例視需求而定，但為了可與熔絲鏈盒340中記錄之主記憶單元310的損壞記憶體位址相配合，使熔絲鏈盒340中記錄之每一損壞記憶體位址均對應於一備援記憶單元320之記憶體位址，故其容量需與熔絲鏈盒340中可記錄之損壞記憶體位址數相配合。

此主記憶單元310在此較佳實施例中為例如是FIFO之序列資料存取記憶體，由於其先進先出之資料存取特性，因此可簡化比較邏輯單元350之比較電路，例如使用第2圖之比較電路，但無須比較熔絲鏈盒340中記錄之所有損壞記憶體位址，而只要將主記憶單元310接收之存取位址A，依序與由指標控制單元360輸出之指標位址P所選擇的損壞記憶體位址B比較即可。其中，此較佳實施例之比較邏輯單元350為了可節省其功率消耗，故以反互斥或閘來完成其比較動作。反互斥或閘之特性為兩輸入值相同時，其輸出值才為高準位，極適於比較電路之應用。

假設主記憶單元310中之損壞記憶體位址依序地為A1、A2、A3及A4等4個記憶體位址，則當使用雷射來切斷熔絲鏈盒340中之熔絲時，需安排使A1、A2、A3及A4等4個損壞記憶體位址依序地儲存於熔絲鏈盒340中，然後令指標控制單元360輸出之指標位址P指向熔絲鏈盒340中儲存A1之位址，以便熔絲鏈盒340輸出之損壞記憶體位址B=A1。此損壞記憶體位址A1將經由比較邏輯單元350，而與存取位址A作比較，當發現存取位址A等於A1，亦即所存取之主記憶單元310的記憶體位址為記憶胞損壞之損壞記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

憶體位址 A1 時，比較邏輯單元 350 設定一備援選擇訊號 S，以通知資料選擇單元 330 將資料存取路徑導至備援記憶單元 320，此時因備援記憶單元 320 之記憶體位址係由指標控制單元 360 之輸出指標位址 P 所控制，故乃以指標位址 P 指向之一備援記憶體位址，來取代主記憶單元 310 中之損壞記憶體位址 A1。

此外，指標控制單元 360 亦接受備援選擇訊號 S 之控制，以將其指標位址 P 循序地遞增或遞減一進階值，較佳地，其進階值為 1，以指向熔絲鏈盒 340 中儲存 A2 之位址，以便熔絲鏈盒 340 輸出之損壞記憶體位址 B=A2。同樣地，此損壞記憶體位址 A2 將經由比較邏輯單元 350，而與存取位址 A 作比較，當發現存取位址 A 等於 A2，亦即所存取之主記憶單元 310 的記憶體位址為記憶胞損壞之損壞記憶體位址 A2 時，比較邏輯單元 350 設定備援選擇訊號 S，以通知資料選擇單元 330 將資料存取路徑導至備援記憶單元 320，此時因指標控制單元 360 之輸出指標位址 P 已指向對應於損壞記憶體位址 A2 之一備援記憶體位址，故乃以對應於損壞記憶體位址 A2 之備援記憶體位址，來取代主記憶單元 310 中之損壞記憶體位址 A2。然後，指標位址 P 再循序地遞增或遞減一進階值，以指向熔絲鏈盒 340 中儲存 A3、A4 之位址及其對應之備援記憶體位址，而依序地以對應之備援記憶體位址來修補損壞之主記憶單元 310 的損壞記憶胞。

其中，依備援選擇訊號 S 設定與否，來從主記憶單元 310 與備援記憶單元 320 中，選擇正確之資料存取路徑的資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

料選擇單元330，可以類似多工器或解多工器等之多工電路來製作。當然，熟習此藝者應知，上述實施例雖以相同之指標位址P來移動指向熔絲鏈盒340與備援記憶單元320之指標，然其並非唯一選擇，實際上亦可應用不同之指標位址，以分別控制熔絲鏈盒340與備援記憶單元320指標之移動，只要維持其一對一之對應關係即可。且當使用不同之指標位址時，亦無須同步地遞增或遞減，即可為一指標位址遞增，而另一指標位址則遞減，重要的是，維持其一對一之對應關係即可。

由上述之說明中可知，本發明至少具有如下之優點：

1. 當資料存取路徑需由主記憶單元310切換至備援記憶單元320時，由於指標控制單元360輸出之指標位址P已先行指向備援記憶單元320之對應位址，故可加速其存取速率，大幅增進其存取效能。

2. 由於比較邏輯單元350只需將存取記憶體位址與記錄於熔絲鏈盒340中之損壞記憶體位址依序地比較，故大幅簡化比較邏輯單元350之電路，使所佔之積體電路面積較小，消耗功率也較小。

3. 由於採用分別獨立之記憶體模組來作為主記憶單元310與備援記憶單元320電路，故不但可有效降低成本，更可提供不同容量之主記憶單元310與備援記憶單元320的設計彈性，且易於將列(row)修補方式，修改變更為行(column)之修補方式。

雖然本發明已以較佳實施例揭露如上，然其並非用以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種具有修補功能的記憶體結構，適用於存取一序列資料，包括：

一主記憶單元，用以依序地儲存及讀出該序列資料；

一備援記憶單元，用以當該主記憶單元之部分記憶胞損壞時，以一指標位址選擇之備援記憶體位址，來取代損壞之該主記憶單元的記憶胞，以儲存該序列資料；

一資料選擇單元，耦接該主記憶單元及該備援記憶單元，用以依據一備援選擇訊號，自該主記憶單元及該備援記憶單元中，選擇該序列資料之一正確的存取路徑；

一熔絲鏈盒，用以依序地儲存記憶胞損壞之該主記憶單元之一損壞記憶體位址，並依據該指標位址輸出該損壞記憶體位址；

一比較邏輯單元，耦接該熔絲鏈盒，用以將該主記憶單元接收之一存取記憶體位址與該損壞記憶體位址作比較，且當該存取記憶體位址等於該損壞記憶體位址時，設定該備援選擇訊號；以及

一指標控制單元，耦接該比較邏輯單元、該熔絲鏈盒及該備援記憶單元，用以接收該備援選擇訊號，且當該備援選擇訊號設定時，循序地維護該指標位址。

2. 如申請專利範圍第1項所述之具有修補功能的記憶體結構，其中該主記憶單元為一先進先出記憶電路。

3. 如申請專利範圍第1項所述之具有修補功能的記憶體結構，其中該資料選擇單元包括多工電路。

4. 如申請專利範圍第1項所述之具有修補功能的記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

體結構，其中該比較邏輯單元包括反互斥或閘。

5.如申請專利範圍第1項所述之具有修補功能的記憶體結構，其中當該備援選擇訊號設定時，該指標控制單元將該指標位址遞增一進階值。

6.如申請專利範圍第5項所述之具有修補功能的記憶體結構，其中該進階值為1。

7.如申請專利範圍第1項所述之具有修補功能的記憶體結構，其中當該備援選擇訊號設定時，該指標控制單元將該指標位址遞減一進階值。

8.如申請專利範圍第7項所述之具有修補功能的記憶體結構，其中該進階值為1。

9.如申請專利範圍第1項所述之具有修補功能的記憶體結構，其中該熔絲鏈盒係以雷射切斷熔絲之方式來儲存該損壞記憶體位址。

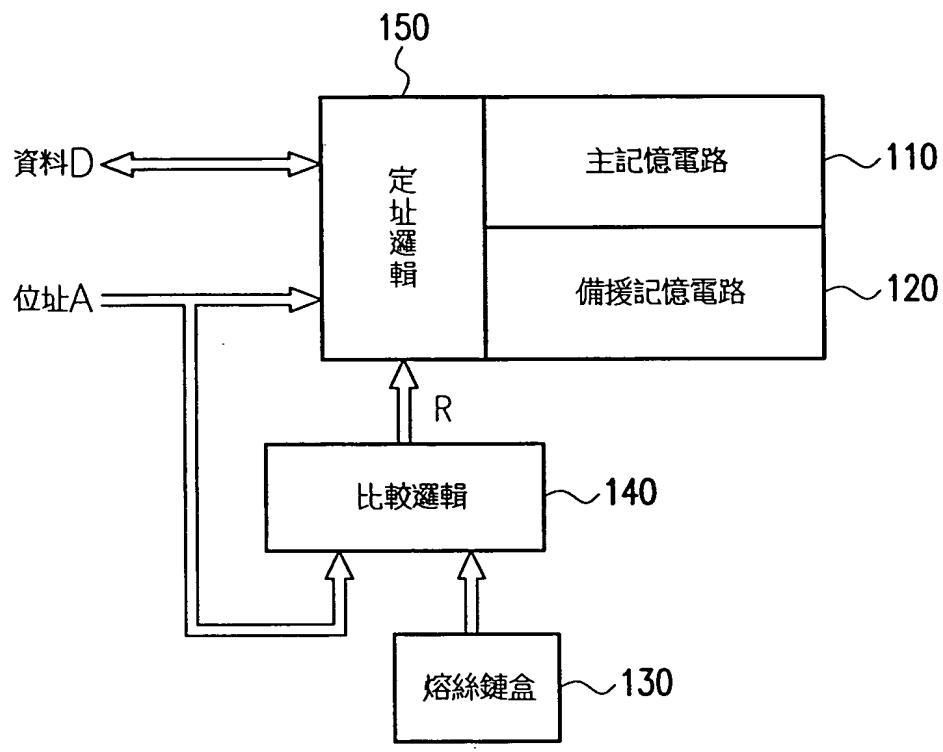
10.如申請專利範圍第1項所述之具有修補功能的記憶體結構，其中該主記憶單元及該備援記憶單元為個別獨立之記憶體模組。

(請先閱讀背面之注意事項再填寫本頁)

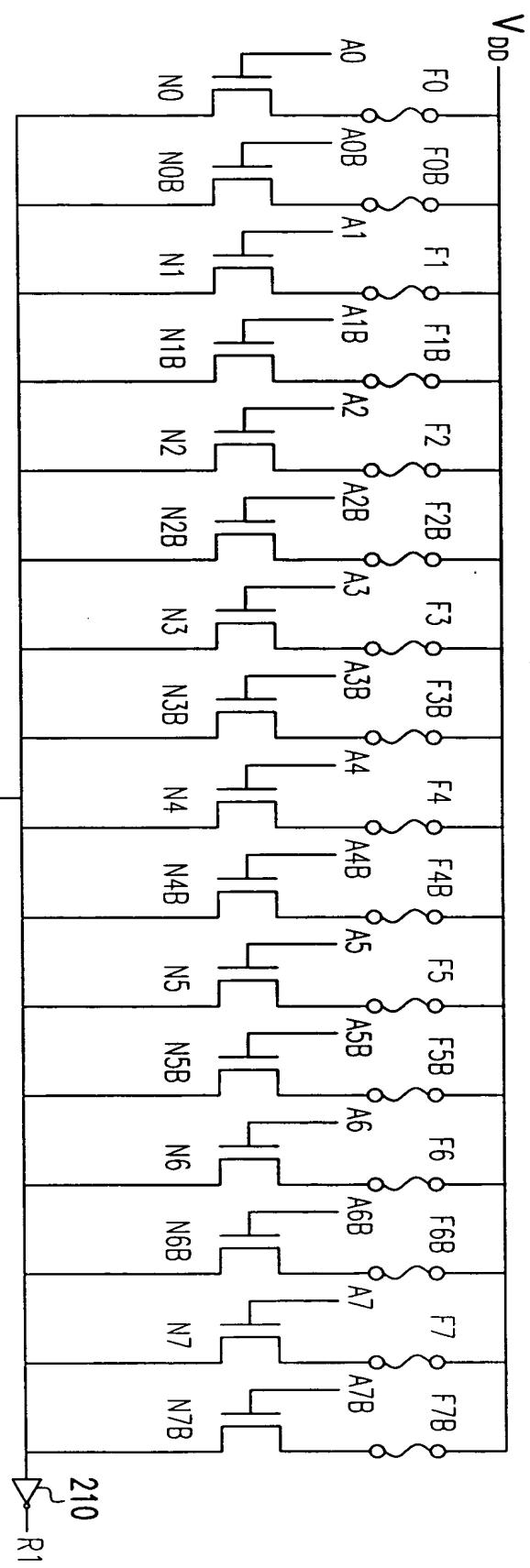
裝

訂

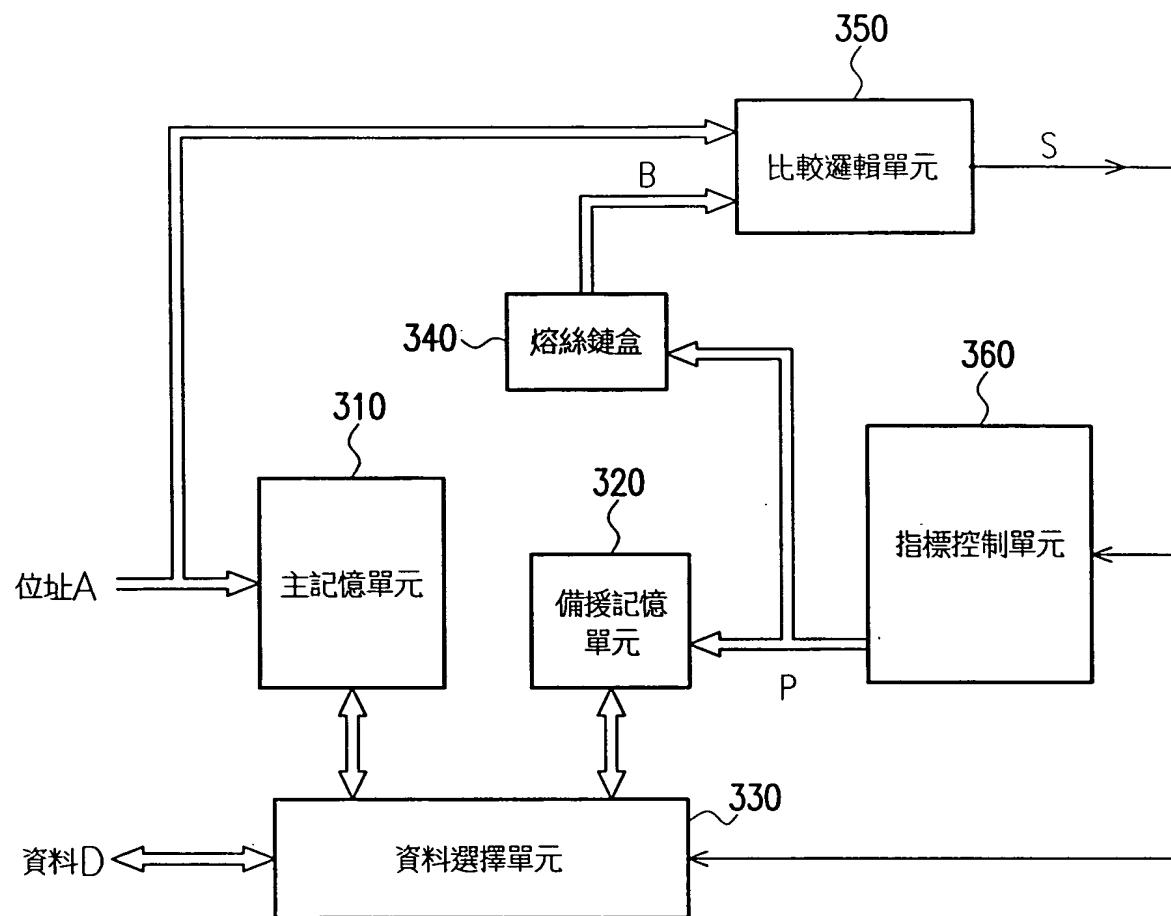
線



第 1 圖



第 2 圖



第3圖